

MENU

SEARCH

INDEX

DETAIL

JAPANESE

BACK

5 / 7

## PATENT ABSTRACTS OF JAPAN

(11)Publication number : 06-268177

(43)Date of publication of application : 22.09.1994

(51)Int.Cl.

H01L 27/11

H01L 21/318

H01L 27/092

H01L 29/784

(21)Application number : 05-049117

(71)Applicant : HITACHI LTD

(22)Date of filing : 10.03.1993

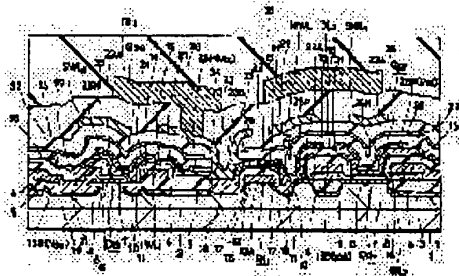
(72)Inventor : ISHIDA MOTOKO  
OKUYAMA KOSUKE  
IKEDA SHUJI  
KANAI FUMIYUKI  
HASHIBA SOICHIRO  
HASHIMOTO KOJI  
YOSHIZAKI KAZUO

## (54) SEMICONDUCTOR INTEGRATED CIRCUIT DEVICE AND ITS MANUFACTURE

(57)Abstract:

PURPOSE: To improve mutual conductance (Gm) of a loading MISFET constituted of a polycrystalline silicon film in a fully CMOS type SRAM and to prevent deterioration of characteristics caused by entering of water.

CONSTITUTION: In an SRAM wherein memory cell is constituted of transfer MISFETQt1, Qt2 formed on a main surface of a semiconductor substrate 1 and a flip flop circuit consisting of driving MISFETQd1, Qd1 formed on a main surface of the semiconductor substrate 1 and loading MISFETQp1, Qp2 formed of a polycrystalline silicon film deposited in an upper part of the driving MISFETQd1, Qd2, a silicon nitride film 28 which is so thick as to make it easy to transmit hydrogen and hard to transmit water is provided to an upper part of the loading MISFETQp1, Qp2.



## LEGAL STATUS

[Date of request for examination] 10.03.2000

[Date of sending the examiner's decision of rejection] 09.07.2002

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

(11)特許出願公開番号

特開平6-268177 ✓

(43)公開日 平成6年(1994)9月22日

(51)Int.Cl.<sup>5</sup>

識別記号

庁内整理番号

FI

### 技術表示箇所

H O I L 27/11

21/318

B 7352-4M

7210-4M

H O 1 L 27/ 10

381

9170-4M

27/ 08

3 2 1 K

審査請求 未請求 請求項の数 9 OL (全 18 頁) 最終頁に続く

(21)出題番号

特願平5-49117

(22)出題日

平成5年(1993)3月10日

(71)出願人 000005108

株式会社日立製作所

東京都千代田区神田駿河台四丁目6番地

(72)発明者 石田 素子

東京都小平市上水本町5丁目20番1号 株  
式会社日立製作所半導体事業部内

(72)発明者 奥山 幸祐

東京都小平市上水本町5丁目20番1号 株  
式会社日立製作所半導体事業部内

(72)発明者 池田 修二

東京都小平市上水本町5丁目20番1号 株式会社日立製作所半導体事業部内

(74)代理人 弁理士 筒井 大和

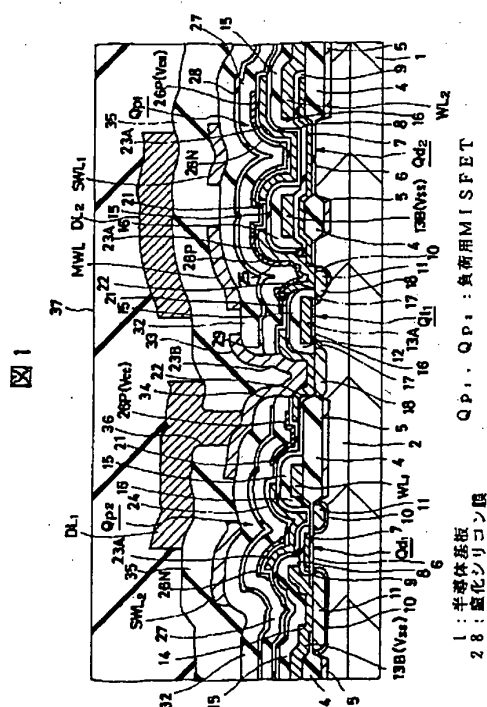
[最終頁に続く](#)

(54)【発明の名称】 半導体集積回路装置およびその製造方法

(57) 【要約】

【目的】 完全CMOS型SRAMにおいて、多結晶シリコン膜で構成された負荷用MISFETの相互コンダクタンス( $G_m$ )を向上させ、併せて水分の浸入に起因する特性の劣化を防止する。

【構成】 半導体基板 1 の主面上に形成された転送用 MISFET  $Q_{t1}$ 、 $Q_{t2}$  と、半導体基板 1 の主面上に形成された駆動用 MISFET  $Q_{d1}$ 、 $Q_{d2}$  およびこの駆動用 MISFET  $Q_{d1}$ 、 $Q_{d2}$  の上部に堆積した多結晶シリコン膜で形成された負荷用 MISFET  $Q_{p1}$ 、 $Q_{p2}$  からなるフリップフロップ回路とでメモリセルを構成した SRAM において、負荷用 MISFET  $Q_{p1}$ 、 $Q_{p2}$  の上部には、水素を透過し易く、かつ水分を透過し難い膜厚を有する窒化シリコン膜 28 が設けられている。



## 【特許請求の範囲】

【請求項1】 半導体基板の主面上に形成された転送用MISFETと、前記半導体基板の主面上に形成された駆動用MISFETおよび前記駆動用MISFETの上部に堆積した多結晶シリコン膜で形成された負荷用MISFETからなるフリップフロップ回路とでメモリセルを構成したSRAMを有する半導体集積回路装置であって、前記負荷用MISFETの上部には、水素を透過し易く、かつ水分を透過し難い膜厚を有する窒化シリコン膜が設けられていることを特徴とする半導体集積回路装置。

【請求項2】 前記窒化シリコン膜の膜厚は、5～20nmであることを特徴とする請求項1記載の半導体集積回路装置。

【請求項3】 前記転送用MISFETの一方の半導体領域上の前記窒化シリコン膜には、前記半導体領域とデータ線とを接続するコンタクトホールよりも大径の開孔が設けられていることを特徴とする請求項1記載の半導体集積回路装置。

【請求項4】 前記窒化シリコン膜の上部には、BPSG膜またはPSG膜が設けられていることを特徴とする請求項1記載の半導体集積回路装置。

【請求項5】 前記負荷用MISFETのゲート電極は、前記駆動用MISFETの上部に堆積した第1の多結晶シリコン膜で形成され、前記負荷用MISFETのチャネル領域、ソース領域およびドレイン領域は、前記第1の多結晶シリコン膜の上部に堆積した第2の多結晶シリコン膜で形成されていることを特徴とする請求項1記載の半導体集積回路装置。

【請求項6】 請求項1記載の半導体集積回路装置の製造方法であって、前記負荷用MISFETの上部に前記窒化シリコン膜を堆積した後、水素アニールを行うことによって、前記負荷用MISFETを構成する前記多結晶シリコン膜に水素を供給することを特徴とする半導体集積回路装置の製造方法。

【請求項7】 請求項1記載の半導体集積回路装置の製造方法であって、前記負荷用MISFETの上部に前記窒化シリコン膜を堆積した後、少なくとも一層の絶縁膜をプラズマCVD法で堆積することによって、前記負荷用MISFETを構成する前記多結晶シリコン膜に水素を供給することを特徴とする半導体集積回路装置の製造方法。

【請求項8】 請求項1記載の半導体集積回路装置の製造方法であって、前記負荷用MISFETの上部に前記窒化シリコン膜を堆積した後、周辺回路領域上の前記窒化シリコン膜を除去することを特徴とする半導体集積回路装置の製造方法。

【請求項9】 請求項1記載の半導体集積回路装置の製造方法であって、前記窒化シリコン膜の上部に酸化シリコン膜を堆積した後、半導体基板を600℃以上でアニ

ールすることを特徴とする半導体集積回路装置の製造方法。

## 【発明の詳細な説明】

## 【0001】

【産業上の利用分野】本発明は、半導体集積回路装置およびその製造技術に関し、特に、SRAM(Static Random Access Memory)を有する半導体集積回路装置に適用して有効な技術に関する。

## 【0002】

【従来の技術】特開平3-234055号公報には、フリップフロップ回路および2個の駆動用MISFET(Metal Insulator Semiconductor Field Effect Transistor)からなるメモリセルの前記フリップフロップ回路を2個の駆動用MISFETと2個の負荷用MISFETとで構成した、いわゆる完全CMOS(Complementary Metal Oxide Semiconductor)構造のSRAMが記載されている。

【0003】上記公報記載のSRAMは、半導体基板の主面上に形成した第1導電膜(多結晶シリコン膜)で駆動用MISFETのゲート電極を構成し、同じく半導体基板の主面上に形成した第2導電膜(多結晶シリコン膜と高融点金属膜とを積層したポリサイド膜)で転送用MISFETのゲート電極、このゲート電極に接続されるワード線、駆動用MISFETのソース領域に接続される基準電圧線のそれぞれを構成し、上記第1および第2導電膜の上層に形成した第3導電膜(多結晶シリコン膜)で負荷用MISFETのゲート電極を構成し、上記第3導電膜の上層に形成した第4導電膜(多結晶シリコン膜)で負荷用MISFETのチャネル領域、ドレイン領域、ソース領域、このソース領域に接続される電源電圧線のそれぞれを構成している。すなわち、このSRAMは、駆動用MISFETの上部に多結晶シリコン膜で負荷用MISFETを形成したスタック構造のメモリセルを有している。

【0004】ところで、上記SRAMの負荷用MISFETのように、多結晶シリコン膜で形成されたトランジスタを有する半導体デバイスの製造工程では、多結晶シリコン膜の結晶粒界表面に存在する未結合手(ダングリングボンド)に水素原子を供給することによって、トランジスタの相互コンダクタンス(Gm)を向上させる、いわゆる水素化処理が行われている。

【0005】上記水素化処理の方法としては、トランジスタ上に配線を形成した後、水素ガスを含む雰囲気中で半導体基板を熱処理する、いわゆる水素アニール法が用いられている。

【0006】また、特開平3-165066号公報には、多結晶シリコン膜で形成した薄膜トランジスタ(TFT)上にプラズマ窒化シリコン膜を堆積し、この窒化シリコン膜を熱処理することによって膜中の水素を多結晶シリコン膜に拡散させる水素化処理方法が記載されて

いる。

【0007】また、特開平3-62526号公報には、駆動用MISFETの上部に多結晶シリコン膜で負荷用MISFETを形成した後、この多結晶シリコン膜にイオン注入法で水素を供給し、さらにこの多結晶シリコン膜の上部にプラズマ窒化シリコン膜からなるパッシベーション膜を形成するSRAMの製造方法が記載されている。

【0008】このように、プラズマCVD (Chemical Vapor Deposition) 法で堆積した窒化シリコン膜は、プラズマ雰囲気中で生成した水素イオンを多量に含んでいることから、多結晶シリコン膜を水素化処理する際の水素原子供給源として用いられている。

【0009】他方、窒化シリコン膜は、酸化シリコン膜に比べて膜質が緻密であることから、トランジスタに水分が浸入するのを防止するための遮蔽膜としても利用されている。

【0010】

【発明が解決しようとする課題】本発明者は、前記完全CMOS構造のSRAMを開発するにあたり、以下の問題点を見出した。

【0011】前記SRAMの負荷用MISFETのゲート絶縁膜のように、多結晶シリコン膜上に形成されたゲート絶縁膜は、シリコン単結晶の表面を熱酸化して形成したゲート絶縁膜に比べて劣化し易いため、負荷用MISFETの上層に堆積した膜中の水分や、製造工程中に大気から浸入する水分などによってしきい値電圧 ( $V_{th}$ ) が容易に変動してしまうという欠点がある。

【0012】このような欠点を改善するには、前述した窒化シリコン膜のような水分を透過し難い膜で負荷用MISFETの上部を覆い、負荷用MISFETの上層に堆積した膜中の水分や大気中の水分が負荷用MISFETに浸入するのを防止することが有効である。

【0013】ところが、負荷用MISFETの上部を窒化シリコン膜で覆うと、負荷用MISFETを構成する多結晶シリコン膜を水素化処理する際、窒化シリコン膜によって水素の透過が妨げられ、多結晶シリコン膜のダングリングボンドに十分な水素が供給されなくなるため、負荷用MISFETの相互コンダクタンス ( $G_m$ ) が劣化してしまうという問題がある。

【0014】本発明の目的は、多結晶シリコン膜で構成されたMISFETのしきい値電圧 ( $V_{th}$ ) の変動を防止すると共に、相互コンダクタンス ( $G_m$ ) を向上させることのできる技術を提供することにある。

【0015】本発明の前記ならびにその他の目的と新規な特徴は、本明細書の記述および添付図面から明らかになるであろう。

【0016】

【課題を解決するための手段】本願において開示される発明のうち、代表的なものの概要を説明すれば、下記の

通りである。

【0017】(1). 半導体基板の主面上に形成された転送用MISFETと、前記半導体基板の主面上に形成された駆動用MISFETおよび前記駆動用MISFETの上部に堆積した多結晶シリコン膜で形成された負荷用MISFETからなるフリップフロップ回路とでメモリセルを構成したSRAMにおいて、前記負荷用MISFETの上部に、水素を透過し易く、かつ水分を透過し難い膜厚を有する窒化シリコン膜を設ける。

10 【0018】(2). 前記(1) のSRAMにおいて、転送用MISFETの半導体領域の上部の前記窒化シリコン膜には、データ線接続用コンタクトホール径よりも大径の開孔を設ける。

【0019】(3). 前記(1) のSRAMにおいて、前記窒化シリコン膜の上部には、BPSG膜またはPSG膜を設ける。

【0020】(4). 前記(1) のSRAMの製造方法において、負荷用MISFETの上部に前記窒化シリコン膜を堆積した後、水素アニールを行うことによって、前記負荷用MISFETを構成する多結晶シリコン膜に水素を供給する。

【0021】(5). 前記(1) のSRAMの製造方法において、負荷用MISFETの上部に前記窒化シリコン膜を堆積した後、前記窒化シリコン膜の上部の絶縁膜をプラズマCVD法で堆積することによって、前記負荷用MISFETを構成する多結晶シリコン膜に水素を供給する。

30 【0022】(6). 前記(1) のSRAMの製造方法において、負荷用MISFETの上部に前記窒化シリコン膜を堆積した後、周辺回路領域上の前記窒化シリコン膜を除去し、メモリセル領域上にのみ残す。

【0023】(7). 前記(1) のSRAMの製造方法において、負荷用MISFETの上部に前記窒化シリコン膜を堆積した後、前記窒化シリコン膜の上部に酸化シリコン膜を堆積し、次いで半導体基板を600℃以上でアニールする。

【0024】

40 【作用】上記した手段(1) によれば、負荷用MISFETの上部を水分が透過し難い膜で覆うことにより、負荷用MISFETへの水分の浸入を防止することができるので、水分の浸入に起因する負荷用MISFETのしきい値電圧 ( $V_{th}$ ) の変動を防止することができる。

【0025】また、負荷用MISFETの上部に水素が透過し易い膜を設けることにより、負荷用MISFETを構成する多結晶シリコン膜のダングリングボンドに十分な水素を供給することができるので、負荷用MISFETの相互コンダクタンス ( $G_m$ ) を向上させることができる。

50 【0026】上記した手段(2) によれば、データ線接続用コンタクトホールを開孔した際、その側壁に窒化シリ

コン膜が露出しないので、このコンタクトホール形状の制御性が向上し、コンタクトホール内でのデータ線の接続信頼性を向上させることができる。

【0027】上記した手段(3)によれば、窒化シリコン膜の上部にゲッタリング効果の高いBPSG膜またはPSG膜を設けることにより、Naなどの金属不純物が窒化シリコン膜を透過して負荷用MISFETに侵入するのを防止することができるので、負荷用MISFETの電気特性を向上させることができる。

【0028】上記した手段(4)または(5)によれば、負荷用MISFETを形成してからファイナルパッシベーション膜を構成する窒化シリコン膜を堆積するまでの工程を利用して負荷用MISFETを構成する多結晶シリコン膜のダングリングボンドに充分な水素を供給することにより、製造工程を増やすことなく、負荷用MISFETの相互コンダクタンス(Gm)を向上させることができる。

【0029】上記した手段(6)によれば、周辺回路領域の上部の窒化シリコン膜を除去することにより、周辺回路の加工が容易になる。この場合、周辺回路を構成するMISFETのゲート絶縁膜は、シリコン単結晶の表面を熱酸化して形成するので、ダングリングボンドなどによる欠陥準位が少なく、水分の影響を受け難いので、その上部を窒化シリコン膜で覆わなくとも支障はない。

【0030】上記した手段(7)によれば、窒化シリコン膜上に酸化シリコン膜を堆積した後、600℃以上のアニールを行うことにより、窒化シリコン膜と酸化シリコン膜との界面のダングリングボンドの量が低減するので、この界面の水素透過能を向上させることができる。

【0031】

【実施例】以下、実施例を用いて本発明を詳述する。なお、実施例を説明するための全図において同一の機能を有するものは同一の符号を付け、その繰り返しの説明は省略する。

【0032】図2は、本発明の一実施例であるSRAMの全体の概略構成(チップレイアウト)図であり、図3は、その一部を拡大して示す概略構成図である。

【0033】長方形の半導体チップ1の主面には、特に限定はされないが、例えば4メガビット[Mbit]乃至16メガビット[Mbit]の大容量を有するSRAMが形成されている。このSRAMのメモリセル領域は、4個のメモリブロックLMBからなり、それぞれのメモリブロックLMBは、4個のメモリブロックMBに分割されている。

【0034】上記メモリブロックLMBの一端にはロード回路LOADが配置されており、他端にはYセクタ回路YSW、Yデコード回路YDECおよびセンスアンプ回路SAがそれぞれ配置されている。また、半導体チップ1の主面の最左端に配置されたメモリブロックLMBとその隣りのメモリブロックLMBとの間には、Xデ

コード回路XDECが配置されている。同様に、半導体チップ1の主面の最右端に配置されたメモリブロックLMBとその隣りのメモリブロックLMBとの間には、Xデコード回路XDECが配置されている。また、半導体チップ1の最外周部には、ボンディングパッドBPが配置されている。

【0035】上記メモリブロックLMBを4個に分割したメモリブロックMBのそれぞれは、図3に示すように、4個のメモリセルアレイMAYに分割されている。また、それぞれのメモリブロックMBの中央には、1個のワードデコード回路WDECが配置されている。このワードデコード回路WDECは、メモリセルアレイMAY上を延在するメインワード線MWLを介して前記Xデコード回路XDECで選択される。また、ワードデコード回路WDECは、メモリセルアレイMAY上を延在する第1サブワード線SWL<sub>1</sub>または第2サブワード線SWL<sub>2</sub>を介して第1ワード線WL<sub>1</sub>および第2ワード線WL<sub>2</sub>を選択する。ワードデコード回路WDECの一端には、コントロール回路CCが配置されている。

【0036】上記メモリセルアレイMAY上の第1ワード線WL<sub>1</sub>および第2ワード線WL<sub>2</sub>と直交する方向には、相補性データ線DLが延在している。この相補性データ線DLは、第1データ線DL<sub>1</sub>と第2データ線DL<sub>2</sub>とで構成されている。相補性データ線DLの一端は前記ロード回路LOADに接続されており、他端は前記Yセクタ回路YSWを介して前記センスアンプ回路SAに接続されている。

【0037】SRAMのメモリセルMCは、上記メモリセルアレイMAYの第1ワード線WL<sub>1</sub>および第2ワード線WL<sub>2</sub>と、第1データ線DL<sub>1</sub>および第2データ線DL<sub>2</sub>とが交差する領域に1個ずつ形成されている。

【0038】図4は、上記メモリセルMCの等価回路図である。同図に示すように、メモリセルMCは、フリップフロップ回路と2個の転送用MISFETQt<sub>1</sub>、Qt<sub>2</sub>とで構成されている。このフリップフロップ回路は、nチャネル型で構成された2個の駆動用MISFETQd<sub>1</sub>、Qd<sub>2</sub>とpチャネル型で構成された2個の負荷用MISFETQp<sub>1</sub>、Qp<sub>2</sub>とで構成されている。すなわち、本実施例のSRAMのメモリセルMCは、完全CMOS構造で構成されている。フリップフロップ回路は、情報蓄積部として構成され、1ビットの情報(“1”または“0”)を記憶する。メモリセルMCの2個の転送用MISFETQt<sub>1</sub>、Qt<sub>2</sub>は、nチャネル型で構成され、フリップフロップ回路の一方の入出力端子にそれぞれのソース領域乃至ドレイン領域の一方が接続されている。転送用MISFETQt<sub>1</sub>のソース領域乃至ドレイン領域の一方は、第1データ線DL<sub>1</sub>に接続され、そのゲート電極は第1ワード線WL<sub>1</sub>に接続されている。転送用MISFETQt<sub>2</sub>のソース領域乃至ドレイン領域の一方は、第2データ線DL<sub>2</sub>に接続さ

れ、そのゲート電極は第2ワード線 $WL_2$ に接続されている。

【0039】駆動用MISFET $Q_{d1}$ および負荷用MISFET $Q_{p1}$ は、互いのドレイン領域（フリップフロップ回路の一方の入出力端子）が接続され、かつ互いのゲート電極が接続されてCMOSを構成している。同様に、駆動用MISFET $Q_{d2}$ および負荷用MISFET $Q_{p2}$ は、互いのドレイン領域（フリップフロップ回路の他方の入出力端子）が接続され、かつ互いのゲート電極が接続されてCMOSを構成している。

【0040】駆動用MISFET $Q_{d1}$ および負荷用MISFET $Q_{p1}$ のそれぞれのドレイン領域は、転送用MISFET $Q_{t1}$ のソース領域乃至ドレイン領域の他方に接続され、かつ駆動用MISFET $Q_{d2}$ および負荷用MISFET $Q_{p2}$ のそれぞれのゲート電極に接続されている。同様に、駆動用MISFET $Q_{d2}$ および負荷用MISFET $Q_{p2}$ のそれぞれのドレイン領域は、転送用MISFET $Q_{t2}$ のソース領域乃至ドレイン領域の他方に接続され、かつ駆動用MISFET $Q_{d1}$ および負荷用MISFET $Q_{p1}$ のそれぞれのゲート電極に接続されている。

【0041】駆動用MISFET $Q_{d1}$ 、 $Q_{d2}$ のそれぞれのソース領域は、基準電圧（ $V_{SS}$ ）に接続され、負荷用MISFET $Q_{p1}$ 、 $Q_{p2}$ のそれぞれのソース領域は、電源電圧（ $V_{CC}$ ）に接続されている。基準電圧（ $V_{SS}$ ）は、例えば0V（グラウンド電位）であり、電源電圧（ $V_{CC}$ ）は、例えば5Vである。

【0042】図1は、上記メモリセルMCの具体的な構成を示す半導体基板の要部断面図である。

【0043】図1に示すように、 $n^-$ 型シリコン単結晶からなる半導体基板（半導体チップ）1の主面には、 $p^-$ 型ウエル2が形成され、この $p^-$ 型ウエル2の非活性領域の主面には、酸化シリコン膜からなる素子分離用のフィールド絶縁膜4が形成されている。フィールド絶縁膜4の下には、反転防止用の $p$ 型チャネルストップ領域5が形成されている。

【0044】メモリセルMCを構成する駆動用MISFET $Q_{d1}$ 、 $Q_{d2}$ 、転送用MISFET $Q_{t1}$ 、 $Q_{t2}$ および負荷用MISFET $Q_{p1}$ 、 $Q_{p2}$ のうち、駆動用MISFET $Q_{d1}$ 、 $Q_{d2}$ および転送用MISFET $Q_{t1}$ 、 $Q_{t2}$ のそれぞれは、前記フィールド絶縁膜4で囲まれた $p^-$ 型ウエル2の活性領域の主面に形成されている。

【0045】メモリセルMCの駆動用MISFET $Q_{d1}$ 、 $Q_{d2}$ のそれぞれは、ゲート絶縁膜6、ゲート電極7、ソース領域およびドレイン領域で構成されている。ゲート電極7は、第1層目のゲート材形成工程で形成され、例えば多結晶シリコン膜で形成されている。この多結晶シリコン膜には、抵抗値を低減するために $n$ 型の不純物（例えばP）が導入されている。

【0046】駆動用MISFET $Q_{d1}$ 、 $Q_{d2}$ のゲート電極7の上部には、絶縁膜8が形成されている。この絶縁膜8は、例えば酸化シリコン膜からなる。また、ゲート電極7のゲート長方向の側壁には、サイドウォールスペーサ9が形成されている。このサイドウォールスペーサ9は、例えば酸化シリコン膜からなる。

【0047】駆動用MISFET $Q_{d1}$ 、 $Q_{d2}$ のそれぞれのソース領域およびドレイン領域は、低不純物濃度の $n$ 型半導体領域10とその上部に形成された高不純物濃度の $n^+$ 型半導体領域11とで構成されている。すなわち、駆動用MISFET $Q_{d1}$ 、 $Q_{d2}$ は、それぞれのソース領域およびドレイン領域が、いわゆる2重拡散ドレイン(Double Diffused Drain)構造で構成されている。

【0048】メモリセルMCの転送用MISFET $Q_{t1}$ 、 $Q_{t2}$ のそれぞれは、ゲート絶縁膜12、ゲート電極13A、ソース領域およびドレイン領域で構成されている。ゲート電極13Aは、第2層目のゲート材形成工程で形成され、例えば多結晶シリコン膜と高融点金属シリサイド膜との積層膜（ポリサイド膜）で構成されている。下層の多結晶シリコン膜には、抵抗値を低減するために $n$ 型の不純物（例えばP）が導入されている。上層の高融点金属シリサイド膜は、例えば $WSi_x$ 、 $MoSi_x$ 、 $TiSi_x$ 、 $TaSi_x$ などからなる。

【0049】転送用MISFET $Q_{t1}$ 、 $Q_{t2}$ のゲート電極13Aの上部には、絶縁膜15および絶縁膜21が形成されている。この絶縁膜15および絶縁膜21は、例えば酸化シリコン膜からなる。また、ゲート電極13Aの側壁には、サイドウォールスペーサ16が形成されている。このサイドウォールスペーサ16は、例えば酸化シリコン膜からなる。

【0050】転送用MISFET $Q_{t1}$ 、 $Q_{t2}$ のそれぞれのソース領域およびドレイン領域は、低不純物濃度の $n$ 型半導体領域17と高不純物濃度の $n^+$ 型半導体領域18とで構成されている。すなわち、転送用MISFET $Q_{t1}$ 、 $Q_{d2}$ のソース領域およびドレイン領域は、LDD(Lightly Doped Drain)構造で構成されている。

【0051】転送用MISFET $Q_{t1}$ のソース領域乃至ドレイン領域の一方は、前記駆動用MISFET $Q_{d1}$ のドレイン領域と一体に構成されている。同様に、転送用MISFET $Q_{t2}$ のソース領域乃至ドレイン領域の一方は、前記駆動用MISFET $Q_{d2}$ のドレイン領域と一体に構成されている。

【0052】転送用MISFET $Q_{t1}$ のゲート電極13Aには、第1ワード線 $WL_1$ が接続され、転送用MISFET $Q_{t2}$ のゲート電極13Aには、第2ワード線 $WL_2$ が接続されている。転送用MISFET $Q_{t1}$ のゲート電極13Aは、第1ワード線 $WL_1$ と一体に構成され、転送用MISFET $Q_{t2}$ のゲート電極13A

は、第2ワード線 $WL_2$ と一体に構成されている。

【0053】第1ワード線 $WL_1$ と第2ワード線 $WL_2$ との間には、2個の駆動用MISFET $Q_{d1}$ 、 $Q_{d2}$ に共通のソース線として構成される基準電圧線13B ( $V_{SS}$ ) が配置されている。基準電圧線13B ( $V_{SS}$ ) は、転送用MISFET $Q_{t1}$ 、 $Q_{t2}$ のゲート電極13Aおよびワード線 $WL$  (第1ワード線 $WL_1$ 、第2ワード線 $WL_2$ )と同じ第2層目のゲート材形成工程で形成され、フィールド絶縁膜4上をワード線 $WL$ と同一方向に延在している。また、基準電圧線13B ( $V_{SS}$ ) は、駆動用MISFET $Q_{d1}$ 、 $Q_{d2}$ のゲート絶縁膜6と同一層の絶縁膜に開孔されたコンタクトホール14を通じて、駆動用MISFET $Q_{d1}$ 、 $Q_{d2}$ のそれぞれのソース領域 ( $n^+$ 型半導体領域11) に接続されている。

【0054】メモリセルMCの2個の負荷用MISFET $Q_{p1}$ 、 $Q_{p2}$ のうち、負荷用MISFET $Q_{p1}$ は、駆動用MISFET $Q_{d2}$ の領域上に配置され、負荷用MISFET $Q_{p2}$ は、駆動用MISFET $Q_{d1}$ の領域上に配置されている。負荷用MISFET $Q_{p1}$ 、 $Q_{p2}$ のそれぞれは、ゲート電極23A、ゲート絶縁膜24、チャネル領域26N、ソース領域26Pおよびドレイン領域26Pで構成されている。

【0055】負荷用MISFET $Q_{p1}$ 、 $Q_{p2}$ のゲート電極23Aは、第3層目のゲート材形成工程で形成され、例えば多結晶シリコン膜で形成されている。この多結晶シリコン膜には、抵抗値を低減するためにn型の不純物 (例えばP) が導入されている。

【0056】負荷用MISFET $Q_{p1}$ のゲート電極23Aは、絶縁膜21、絶縁膜8および絶縁膜 (転送用MISFET $Q_{t1}$ 、 $Q_{t2}$ のゲート絶縁膜12と同一層の絶縁膜) に開孔されたコンタクトホール22を通じて、駆動用MISFET $Q_{d1}$ のゲート電極7および転送用MISFET $Q_{t2}$ のソース領域乃至ドレイン領域の一方に接続されている。同様に、負荷用MISFET $Q_{p2}$ のゲート電極23Aは、絶縁膜21、絶縁膜8および絶縁膜 (転送用MISFET $Q_{t1}$ 、 $Q_{t2}$ のゲート絶縁膜12と同一層の絶縁膜) に開孔したコンタクトホール22を通じて、駆動用MISFET $Q_{d2}$ のゲート電極7および転送用MISFET $Q_{t1}$ のソース領域乃至ドレイン領域の一方に接続されている。

【0057】転送用MISFET $Q_{t1}$ 、 $Q_{t2}$ のソース領域乃至ドレイン領域の他方の上部には、負荷用MISFET $Q_{p1}$ 、 $Q_{p2}$ のゲート電極23Aと同じ第3層目のゲート材形成工程で形成されたパッド層23Bがそれぞれ配置されている。このパッド層23Bは、絶縁膜21および絶縁膜 (転送用MISFET $Q_{t1}$ 、 $Q_{t2}$ のゲート絶縁膜12と同一層の絶縁膜) に開孔されたコンタクトホール22を通じて、転送用MISFET $Q_{t1}$ 、 $Q_{t2}$ のソース領域乃至ドレイン領域の他方に接

続されている。

【0058】負荷用MISFET $Q_{p1}$ 、 $Q_{t2}$ のゲート電極23Aの上部には、負荷用MISFET $Q_{p1}$ 、 $Q_{t2}$ のゲート絶縁膜24が形成されている。このゲート絶縁膜24は、例えば酸化シリコン膜からなる。

【0059】負荷用MISFET $Q_{p1}$ 、 $Q_{t2}$ のゲート絶縁膜24の上部には、負荷用MISFET $Q_{p1}$ 、 $Q_{p2}$ のチャネル領域26N、ソース領域26Pおよびドレイン領域26Pが形成されている。チャネル領域26Nは、第4層目のゲート材形成工程で形成され、例えば多結晶シリコン膜で構成されている。この多結晶シリコン膜には、負荷用MISFET $Q_{p1}$ 、 $Q_{p2}$ のしきい値電圧をエンハンスメント型に設定するために、n型の不純物 (例えばP) が導入されている。

【0060】負荷用MISFET $Q_{p1}$ 、 $Q_{p2}$ のチャネル領域26Nの一端側にはドレイン領域26Pが形成され、他端側にはソース領域26Pが形成されている。ドレイン領域26Pおよびソース領域26Pは、チャネル領域26Nと同じ第4層目のゲート材形成工程で形成され、チャネル領域26Nと一体に構成されている。ドレイン領域26Pおよびソース領域26Pを構成する領域の多結晶シリコン膜には、p型の不純物 (例えばBF<sub>2</sub>) が導入されている。

【0061】負荷用MISFET $Q_{p1}$ 、 $Q_{p2}$ は、電源電圧 ( $V_{CC}$ ) のOFF時にゲート電極23Aからドレイン領域26Pに強電界が加わり、ゲート電極23A-ドレイン領域26P間にリーク電流が発生するのを防止するために、チャネル領域26Nを介してドレイン領域26Pとゲート電極23Aとを互いに隔離させている。すなわち、負荷用MISFET $Q_{p1}$ 、 $Q_{p2}$ は、ドレイン領域26Pとゲート電極23Aとが重なりを持たずに隔離された、いわゆるオフセット構造で構成されている。

【0062】負荷用MISFET $Q_{p1}$ のドレイン領域26Pは、ゲート絶縁膜24と同一層の絶縁膜に開孔されたコンタクトホール25を通じて、負荷用MISFET $Q_{p2}$ のゲート電極23Aに接続されている。同様に、負荷用MISFET $Q_{p2}$ のドレイン領域26Pは、ゲート絶縁膜24と同一層の絶縁膜に開孔されたコンタクトホール25を通じて、負荷用MISFET $Q_{p1}$ のゲート電極23Aに接続されている。

【0063】負荷用MISFET $Q_{p1}$ 、 $Q_{p2}$ のソース領域26Pには、電源電圧線 ( $V_{CC}$ ) 26Pが接続されている。この電源電圧線 ( $V_{CC}$ ) 26Pは、チャネル領域26N、ドレイン領域26Pおよびソース領域26Pと同じ第4層目のゲート材形成工程で形成され、これらと一体に構成されている。

【0064】負荷用MISFET $Q_{p1}$ 、 $Q_{p2}$ のチャネル領域26N、ソース領域26P、ドレイン領域26Pおよび電源電圧線 ( $V_{CC}$ ) 26Pの上層には、絶縁膜

27が形成されている。この絶縁膜27は、例えば酸化シリコン膜からなる。

【0065】絶縁膜27の上層には、窒化シリコン膜28が形成されている。この窒化シリコン膜28は、負荷用MISFET $Q_{p1}$ 、 $Q_{p2}$ の上層に堆積した膜中の水分や大気中の水分が負荷用MISFET $Q_{p1}$ 、 $Q_{p2}$ に浸入するのを防止するために設けられている。なお、本実施例の窒化シリコン膜28は、絶縁膜(酸化シリコン膜)27を介して負荷用MISFET $Q_{p1}$ 、 $Q_{p2}$ の上に堆積されているが、負荷用MISFET $Q_{p1}$ 、 $Q_{p2}$ のチャネル領域26N、ドレイン領域26Pおよびソース領域26Pを構成する第4層目のゲート材の上に直接堆積してもよい。

【0066】窒化シリコン膜28の上層には、BPSG(Boron-doped Phospho Silicate Glass)膜32を介して中間導電層33、サブワード線SWL(第1サブワード線SWL<sub>1</sub>、第2サブワード線SWL<sub>2</sub>)およびメインワード線MWLがそれぞれ形成されている。中間導電層33、サブワード線SWLおよびメインワード線MWLのそれぞれは、第1層目の配線材形成工程で形成され、例えばタングステン(W)などの高融点金属膜で構成されている。

【0067】中間導電層33は、BPSG膜32、絶縁膜27および絶縁膜(負荷用MISFET $Q_{p1}$ 、 $Q_{p2}$ のゲート絶縁膜24と同一層の絶縁膜)に開孔したコンタクトホール34を通じて前記パッド層23Bに接続されている。このコンタクトホール34が形成された領域の前記窒化シリコン膜28には、このコンタクトホール34の径よりも大径の開孔29が設けられている。

【0068】中間導電層33、サブワード線SWLおよびメインワード線MWLの上層には、層間絶縁膜35を介して相補性データ線DL(第1データ線DL<sub>1</sub>および第2データ線DL<sub>2</sub>)が配置されている。この相補性データ線DLは、層間絶縁膜35に開孔されたコンタクトホール36を通じて前記中間導電層33に接続されている。

【0069】相補性データ線DLは、第2層目の配線材形成工程で形成され、例えばバリア金属膜、アルミニウム合金膜、バリア金属膜を順次積層した3層膜で構成されている。バリア金属は、例えばTiWで構成され、アルミニウム合金は、例えばCuおよびSiを添加したアルミニウムで構成されている。層間絶縁膜35は、例えば酸化シリコン膜、スピノンガラス(Spin On Glass; SOG)膜、酸化シリコン膜を順次積層した3層膜で構成されている。

【0070】相補性データ線DLのうち、第1データ線DL<sub>1</sub>は、転送用MISFET $Q_{t1}$ のソース領域乃至ドレイン領域の一方( $n^+$ 型半導体領域18)に接続され、第2データ線DL<sub>2</sub>は、転送用MISFET $Q_{t2}$ のソース領域乃至ドレイン領域の一方( $n^+$ 型半導体領

域18)に接続されている。相補性データ線DLと転送用MISFET $Q_{t1}$ 、 $Q_{t2}$ の $n^+$ 型半導体領域18との接続は、前記中間導電層33およびパッド層23Bをそれぞれ介して行われる。

【0071】相補性データ線DLの上層には、ファイナルパッシベーション膜37が形成されている。このファイナルパッシベーション膜37は、例えば酸化シリコン膜と窒化シリコンとの積層膜で構成されている。

【0072】次に、上記SRAMの具体的な製造方法の一例を、図5～図18を用いて説明する。

【0073】まず、10 [ $\Omega/\text{cm}$ ]程度の比抵抗値を有する $n^-$ 形シリコン単結晶からなる半導体基板1を用意し、メモリセル形成領域および図示しない周辺回路形成領域の一部に $p^-$ 型ウエル2を形成する。また、周辺回路形成領域の他の一部には、 $n$ 型ウエルを形成する。 $p^-$ 型ウエル2は、半導体基板1の主面にイオン注入した $\text{BF}_2$ を引伸し拡散して形成し、 $n$ 型ウエルは、半導体基板1の主面にイオン注入したPを引伸し拡散して形成する。

【0074】次に、 $p^-$ 型ウエル2の非活性領域の主面に $\text{BF}_2$ をイオン注入した後、素子分離用のフィールド絶縁膜4を形成する。このフィールド絶縁膜4は、窒化シリコン( $\text{Si}_3\text{N}_4$ )膜を耐酸化マスクにした熱酸化法(LOCOS法)を用い、熱酸化法で形成した酸化シリコン膜を420～480nm程度の膜厚に成長させて形成する。この時、前記 $\text{BF}_2$ の拡散により、フィールド絶縁膜4の下に反転防止用の $p$ 型チャネルストップ領域5が形成される。

【0075】次に、 $p^-$ 型ウエル2の活性領域の主面に駆動用MISFET $Q_{d1}$ 、 $Q_{d2}$ のしきい値電圧調整用の $\text{BF}_2$ をイオン注入した後、駆動用MISFET $Q_{d1}$ 、 $Q_{d2}$ のゲート絶縁膜6を形成する。このゲート絶縁膜6は熱酸化法で形成し、その膜厚は13～14nm程度とする(図5)。

【0076】次に、半導体基板1の全面に第1層目のゲート材である多結晶シリコン膜を堆積する。この多結晶シリコン膜はCVD法で形成し、その膜厚は90～110nm程度とする。この多結晶シリコン膜には、その抵抗値を低減するために、堆積時にPを導入する。

【0077】次に、多結晶シリコン膜の上に酸化シリコン膜からなる絶縁膜8を堆積する。この絶縁膜8はCVD法で形成し、その膜厚は135～165nm程度とする。この絶縁膜8は、駆動用MISFET $Q_{d1}$ 、 $Q_{d2}$ のゲート電極7とその上層に形成される導電層とを電気的に分離するために形成する。

【0078】次に、絶縁膜8の上に形成したフォトレジスト膜をマスクにして絶縁膜8およびその下層の前記多結晶シリコン膜を順次エッチングした後、このフォトレジスト膜をアッシングで除去することにより、駆動用MISFET $Q_{d1}$ 、 $Q_{d2}$ のゲート電極7を形成する



(図6)。

【0079】次に、半導体基板1の全面に酸化シリコン膜を堆積する。この酸化シリコン膜はCVD法で形成し、その膜厚は160~200nm程度とする。次に、この酸化シリコン膜をRIE(Reactive Ion Etching)などの異方性エッチングでエッチングして、駆動用MISFETQd<sub>1</sub>、Qd<sub>2</sub>のゲート電極7の側壁にサイドウォールスペーサ9を形成する。

【0080】次に、駆動用MISFETQd<sub>1</sub>、Qd<sub>2</sub>のゲート電極7の下を除く活性領域の主面の前記ゲート絶縁膜6を希フッ酸水溶液によるエッチングで除去した後、活性領域の主面に新たな酸化シリコン膜を形成する。この酸化シリコン膜は熱酸化法で形成し、その膜厚は9~11nm程度とする。

【0081】次に、半導体基板1の主面にフォトレジスト膜を形成し、これをマスクにして駆動用MISFETQd<sub>1</sub>、Qd<sub>2</sub>の形成領域のp<sup>-</sup>型ウエル2の主面にPをイオン注入する。次に、フォトレジスト膜をアッシングで除去した後、p<sup>-</sup>型ウエル2の主面に導入したPを引伸し拡散させ、駆動用MISFETQd<sub>1</sub>、Qd<sub>2</sub>のn型半導体領域10を形成する(図7)。

【0082】次に、p<sup>-</sup>型ウエル2の活性領域の主面に転送用MISFETQt<sub>1</sub>、Qt<sub>2</sub>のしきい値電圧調整用のBF<sub>2</sub>をイオン注入した後、活性領域の主面の前記酸化シリコン膜を希フッ酸水溶液によるエッチングで除去し、転送用MISFETQt<sub>1</sub>、Qt<sub>2</sub>のゲート絶縁膜12を形成する。このゲート絶縁膜12は熱酸化法で形成し、その膜厚は13~14nm程度とする。

【0083】次に、半導体基板1の全面に第2層目のゲート材を堆積する。このゲート材は、多結晶シリコン膜とタングステンシリサイド膜との積層膜(ポリサイド膜)からなる。この時、まず多結晶シリコン膜を36~44nm程度堆積した後、半導体基板1の主面にフォトレジスト膜を形成し、これをマスクにして駆動用MISFETQd<sub>1</sub>、Qd<sub>2</sub>のn型半導体領域10上の絶縁膜(ゲート絶縁膜12と同一層の絶縁膜)をエッチングし、コンタクトホール14を形成する。次に、フォトレジスト膜をアッシングで除去し、多結晶シリコン膜をさらに36~44nm程度堆積する。多結晶シリコン膜はCVD法で形成し、その抵抗値を低減するために、堆積時にPを導入する。次に、この多結晶シリコン膜の上層にタングステンシリサイド膜を堆積する。タングステンシリサイド膜はCVD法で形成し、その膜厚は72~88nm程度とする。

【0084】次に、タングステンシリサイド膜の上に酸化シリコン膜からなる絶縁膜15を堆積する。この絶縁膜15はCVD法で形成し、その膜厚は270~330nm程度とする。この絶縁膜15は、転送用MISFETQt<sub>1</sub>、Qt<sub>2</sub>のゲート電極12とその上層に形成される導電層とを電気的に分離するために形成する。

【0085】次に、絶縁膜15の上にフォトレジスト膜を形成し、これをマスクにして絶縁膜15およびその下層の前記第2層目のゲート材(ポリサイド膜)を順次エッチングした後、フォトレジスト膜をアッシングで除去することにより、転送用MISFETQt<sub>1</sub>、Qt<sub>2</sub>のゲート電極13A、ワード線WL(第1ワード線WL<sub>1</sub>、第2ワード線WL<sub>2</sub>)および基準電圧線13B(V<sub>SS</sub>)をそれぞれ形成する(図8)。

【0086】次に、半導体基板1の主面にフォトレジスト膜を形成し、これをマスクにして転送用MISFETQt<sub>1</sub>、Qt<sub>2</sub>の形成領域のp<sup>-</sup>型ウエル2の主面にPをイオン注入する。次に、フォトレジスト膜をアッシングで除去した後、p<sup>-</sup>型ウエル2の主面に導入したPを引伸し拡散させ、転送用MISFETQt<sub>1</sub>、Qt<sub>2</sub>のn型半導体領域17を形成する。

【0087】次に、半導体基板1の全面に酸化シリコン膜を堆積する。この酸化シリコン膜はCVD法で形成し、その膜厚は270~330nm程度とする。次に、この酸化シリコン膜をRIEなどの異方性エッチングでエッチングして、転送用MISFETQt<sub>1</sub>、Qt<sub>2</sub>のゲート電極13A、ワード線WL(第1ワード線WL<sub>1</sub>、第2ワード線WL<sub>2</sub>)および基準電圧線13B(V<sub>SS</sub>)のそれぞれの側壁にサイドウォールスペーサ16を形成する。

【0088】次に、半導体基板1の主面にフォトレジスト膜を形成し、これをマスクにして駆動用MISFETQd<sub>1</sub>、Qd<sub>2</sub>の形成領域および転送用MISFETQt<sub>1</sub>、Qt<sub>2</sub>の形成領域のそれぞれのp<sup>-</sup>型ウエル2の主面にAsをイオン注入する。次に、フォトレジスト膜をアッシングで除去した後、p<sup>-</sup>型ウエル2の主面に導入したAsを引伸し拡散させ、駆動用MISFETQd<sub>1</sub>、Qd<sub>2</sub>の形成領域のp<sup>-</sup>型ウエル2の主面にn<sup>+</sup>型半導体領域11を形成し、転送用MISFETQt<sub>1</sub>、Qt<sub>2</sub>の形成領域のp<sup>-</sup>型ウエル2の主面にn<sup>+</sup>型半導体領域18を形成する。

【0089】駆動用MISFETQd<sub>1</sub>、Qd<sub>2</sub>の形成領域のp<sup>-</sup>型ウエル2の主面には、あらかじめn型半導体領域10が形成されているので、n<sup>+</sup>型半導体領域11の形成により、2重拡散ドレイン構造のソース領域およびドレイン領域を有する駆動用MISFETQd<sub>1</sub>、Qd<sub>2</sub>が完成する。また、転送用MISFETQt<sub>1</sub>、Qt<sub>2</sub>の形成領域のp<sup>-</sup>型ウエル2pの主面には、あらかじめn型半導体領域17が形成されているので、n<sup>+</sup>型半導体領域18の形成により、LDD構造のソース領域およびドレイン領域を有する転送用MISFETQt<sub>1</sub>、Qt<sub>2</sub>が完成する(図9)。

【0090】次に、半導体基板1の全面に酸化シリコン膜からなる絶縁膜21を堆積する。

【0091】この絶縁膜21はCVD法で形成し、その膜厚は54~66nm程度とする。次に、絶縁膜21の上

にフォトリソ膜を形成し、これをマスクにして絶縁膜21、絶縁膜8および絶縁膜(転送用MISFETQ<sub>t1</sub>、Q<sub>t2</sub>のゲート絶縁膜12と同一層の絶縁膜)をエッチングすることにより、転送用MISFETQ<sub>t1</sub>、Q<sub>t2</sub>のソース領域乃至ドレイン領域の一方の上部にコンタクトホール22を形成する。このとき、コンタクトホール22の底部に駆動用MISFETQ<sub>d1</sub>、Q<sub>d2</sub>のゲート電極7の一部が露出する。また、同時にこのフォトリソ膜をマスクにして絶縁膜21および絶縁膜(転送用MISFETQ<sub>t1</sub>、Q<sub>t2</sub>のゲート絶縁膜12と同一層の絶縁膜)をエッチングすることにより、転送用MISFETQ<sub>t1</sub>、Q<sub>t2</sub>のソース領域乃至ドレイン領域の他方(駆動用MISFETQ<sub>d1</sub>、Q<sub>d2</sub>のソース領域乃至ドレイン領域の一方)の上部にコンタクトホール22を形成する。

【0092】次に、半導体基板1の全面に第3層目のゲート材である多結晶シリコン膜を堆積する。この多結晶シリコン膜はCVD法で形成し、その膜厚は63~77nm程度とする。この多結晶シリコン膜には、その抵抗値を低減するために、堆積時にPを導入する。次に、この多結晶シリコン膜の上に形成したフォトリソ膜をマスクにして多結晶シリコン膜をエッチングした後、このフォトリソ膜をアッシングで除去することにより、負荷用MISFETQ<sub>p1</sub>、Q<sub>p2</sub>のゲート電極23Aおよびパッド層23Bをそれぞれ形成する(図10)。

【0093】次に、半導体基板1の全面に負荷用MISFETQ<sub>p1</sub>、Q<sub>p2</sub>のゲート絶縁膜24となる酸化シリコン膜をCVD法で堆積した後、このゲート絶縁膜24の上にフォトリソ膜を形成し、これをマスクにしてゲート絶縁膜24をエッチングすることにより、負荷用MISFETQ<sub>p1</sub>、Q<sub>p2</sub>のゲート電極23Aの上部のゲート絶縁膜24にコンタクトホール25を形成する。

【0094】次に、半導体基板1の全面に第4層目のゲート材である多結晶シリコン膜を堆積する。この多結晶シリコン膜はCVD法で形成し、その膜厚は36~44nm程度とする。次に、この多結晶シリコン膜の上に形成したフォトリソ膜をマスクにして負荷用MISFETQ<sub>p1</sub>、Q<sub>p2</sub>のチャネル領域26Nを形成する領域の多結晶シリコン膜にPをイオン注入する。次に、このフォトリソ膜をアッシングで除去した後、多結晶シリコン膜の上に新たにフォトリソ膜を形成し、これをマスクにして負荷用MISFETQ<sub>p1</sub>、Q<sub>p2</sub>のソース領域26P、ドレイン領域26Pおよび電源電圧線(V<sub>CC</sub>)26Pを形成する領域の多結晶シリコン膜にBF<sub>2</sub>をイオン注入する。

【0095】次に、フォトリソ膜をアッシングで除去した後、多結晶シリコン膜の上に新たにフォトリソ膜を形成し、これをマスクにして多結晶シリコン膜をエッチングすることにより、負荷用MISFETQ

p<sub>1</sub>、Q<sub>p2</sub>のチャネル領域26N、ソース領域26P、ドレイン領域26Pおよび電源電圧線(V<sub>CC</sub>)26Pをそれぞれ形成することにより、負荷用MISFETQ<sub>p1</sub>、Q<sub>p2</sub>が完成する。その後、フォトリソ膜をアッシングで除去する(図11)。

【0096】次に、半導体基板1の全面にCVD法で絶縁膜27を堆積する。絶縁膜27は酸化シリコン膜からなり、その膜厚は135~155nm程度とする。

【0097】次に、半導体基板1の全面に窒化シリコン膜28を堆積する。この窒化シリコン膜28は、水分の透過を阻止できる程度の膜厚を必要とするが、膜厚が厚すぎると水素の透過も妨げられるため、後述する水素化処理を行っても、負荷用MISFETQ<sub>p1</sub>、Q<sub>p2</sub>を構成する多結晶シリコン膜に充分な水素を供給することができない。従って、窒化シリコン膜28は、水素を透過し易く、かつ水分を透過し難い膜厚とする必要があり、例えばジクロルシラン(SiH<sub>2</sub>Cl<sub>2</sub>)とアンモニア、あるいはモノシラン(SiH<sub>4</sub>)と窒素(またはアンモニア)とをソースガスとする低压CVD法を用い、5~20nm程度の膜厚で堆積する。

【0098】次に、窒化シリコン膜28の上に形成したフォトリソ膜38をマスクにして窒化シリコン膜28をエッチングし、転送用MISFETQ<sub>t1</sub>、Q<sub>t2</sub>のソース領域乃至ドレイン領域の一方(相補性データ線DLが接続される側)の上部に、後述する工程で形成されるコンタクトホール34よりも大径の開孔29を形成する(図12)。このとき、同時にフォトリソ膜38をマスクにして周辺回路領域上の窒化シリコン膜28を除去し、前記図2に破線で示すように、メモリブロックLMB上のみに窒化シリコン膜28を残す。

【0099】図13は、負荷用MISFETQ<sub>p1</sub>、Q<sub>p2</sub>のチャネル領域26N、ソース領域26P、ドレイン領域26Pおよび電源電圧線(V<sub>CC</sub>)26Pを構成する第4層目のゲート材(破線で示す)の上層に堆積した窒化シリコン膜28のパターンを示すメモリブロックLMB(メモリセルアレイMAY)の要部平面図である。図中、二点鎖線で囲んだ領域は、メモリセルMC1個分の占有領域である。

【0100】次に、フォトリソ膜38をアッシングで除去した後、半導体基板1の全面にBPSG膜32を堆積する(図14)。BPSG膜32は、例えばオゾン(O<sub>3</sub>)、テトラエトキシシラン(Si(OC<sub>2</sub>H<sub>5</sub>)<sub>4</sub>)、PO(OC<sub>2</sub>H<sub>5</sub>)<sub>3</sub>およびBO(OC<sub>2</sub>H<sub>5</sub>)<sub>3</sub>をソースガスとする常圧CVD法で形成し、その膜厚は270~330nm程度とする。続いて、このBPSG膜32をアニールしてその表面をリフロー、平坦化する。このアニールは、1%程度の酸素を含む窒素雰囲気中、800~850℃程度で20分程度行う。

【0101】また、このアニールを行うことにより、前記窒化シリコン膜28とその上に堆積したBPSG膜3

2との界面に存在するダングリングボンドを低減することができる。これにより、このダングリングボンドによって捕獲される水素の量を低減することができるので、後述する工程で負荷用MISFETQ<sub>p1</sub>、Q<sub>p2</sub>を構成する多結晶シリコン膜のダングリングボンドに十分な水素を供給することが可能となる。このダングリングボンドを低減するためには、少なくとも600℃以上の温度でアニールを行うことが望ましい。

【0102】また、BPSG膜32はゲッターリング効果の高い絶縁膜であることから、窒化シリコン膜28の上層にこのBPSG膜32を堆積したことにより、Naなどの金属不純物が窒化シリコン膜28を透過して負荷用MISFETQ<sub>p1</sub>、Q<sub>p2</sub>に侵入するのを防止することができる。ゲッターリング効果の高い絶縁膜として、このBPSG膜32に代えてPSG(Phospho Silicate Glass)膜を使用することもできる。

【0103】次に、BPSG膜32の上にフォトレジスト膜を形成し、これをマスクにしてBPSG膜32、絶縁膜27および絶縁膜(負荷用MISFETQ<sub>p1</sub>、Q<sub>p2</sub>のゲート絶縁膜24と同一層の絶縁膜)をエッチングすることにより、前記パッド層23Bの上にコンタクトホール34を形成する。

【0104】次に、フォトレジスト膜をアッシングで除去した後、半導体基板1の全面に第1層目の配線材であるタングステン膜を堆積する。このタングステン膜はスパッタ法で形成し、その膜厚は270~330nm程度とする。続いて、このタングステン膜上にフォトレジスト膜を形成し、これをマスクにしてタングステン膜をエッチングすることにより、中間導電層33、サブワード線SWL(第1サブワード線SWL<sub>1</sub>および第2サブワード線SWL<sub>2</sub>)およびメインワード線MWLのそれぞれを形成する。その後、フォトレジスト膜をアッシングで除去する(図15)。

【0105】中間導電層33は、前記コンタクトホール34を通じて前記パッド層23Bに接続される。このパッド層23Bの上の前記窒化シリコン膜28には、コンタクトホール34の径よりも大径の開孔29が設けられているので、図16に示すように、コンタクトホール34の側壁には窒化シリコン膜28が露出することはない。

【0106】これに対して、窒化シリコン膜28に開孔29を設けない場合は、図17に示すように、コンタクトホール34を形成する際、酸化シリコン系のBPSG膜32や絶縁膜27と窒化シリコン膜28とのエッチングレートの差によって、コンタクトホール34の側壁に段差が生じるため、コンタクトホール34の内部でタングステン膜のカバレッジが不十分となり、中間導電層33が断線する虞れがある。

【0107】このように、パッド層23Bの上の窒化シリコン膜28にコンタクトホール34の径よりも大径の

開孔29を設けることにより、コンタクトホール34内での中間導電層33の断線を確実に防止することができる。

【0108】次に、半導体基板1の全面に酸化シリコン膜、スピノングラス膜、酸化シリコン膜を順次積層した3層膜からなる層間絶縁膜35を堆積する。酸化シリコン膜は、例えば酸素(O<sub>2</sub>)およびテトラエトキシシラン(Si(OC<sub>2</sub>H<sub>5</sub>)<sub>4</sub>)をソースガスとするプラズマCVD法で形成し、その膜厚は下層の酸化シリコン膜が450~550nm程度、上層の酸化シリコン膜が360~440nm程度とする。また、スピノングラス膜は、235~265nm程度の膜厚で形成した後、440℃程度でベーキングし、次いでその表面をエッチバックして平坦化する。

【0109】層間絶縁膜35を構成する酸化シリコン膜をプラズマCVD法で形成することにより、膜中に多量の水素イオンが含有され、かつ後述する水素アニール工程で供給される水素が膜を透過し易くなるため、前記負荷用MISFETQ<sub>p1</sub>、Q<sub>p2</sub>を構成する多結晶シリコン膜に十分な水素を供給することができる。

【0110】次に、層間絶縁膜35上に形成したフォトレジスト膜をマスクにして層間絶縁膜35をエッチングし、中間導電層33の上部にコンタクトホール36を形成した後、フォトレジスト膜をアッシングで除去する。

【0111】次に、半導体基板1の全面に第2層目の配線材を堆積する。この配線材は、TiW(チタニウムタングステン)膜、アルミニウム合金膜、TiW膜を順次積層した3層膜からなる。TiW膜はスパッタ法で形成し、その膜厚は下層のTiW膜が54~66nm程度、上層のTiW膜が180~220nm程度とする。アルミニウム合金膜はスパッタ法で形成し、その膜厚は720~880nm程度とする。

【0112】次に、TiW膜上に形成したフォトレジスト膜をマスクにしてTiW膜、アルミニウム合金膜、TiW膜を順次エッチングし、相補性データ線DL(第1データ線DL<sub>1</sub>および第2データ線DL<sub>2</sub>)を形成した後、このフォトレジスト膜をアッシングで除去する(図18)。

【0113】次に、半導体基板1の全面に酸化シリコン膜と窒化シリコン膜との積層膜からなるファイナルパッシベーション膜37を堆積する。この酸化シリコン膜は、例えば酸素(O<sub>2</sub>)およびテトラエトキシシラン(Si(OC<sub>2</sub>H<sub>5</sub>)<sub>4</sub>)をソースガスとするプラズマCVD法で形成し、窒化シリコン膜は、モノシラン(SiH<sub>4</sub>)および窒素(またはアンモニア)をソースガスとするプラズマCVD法で形成する。ファイナルパッシベーション膜37を構成する酸化シリコン膜および窒化シリコン膜をプラズマCVD法で形成することにより、膜中に多量の水素イオンが含有され、これが前記負荷用MISFETQ<sub>p1</sub>、Q<sub>p2</sub>を構成する多結晶シリコン膜への水素

供給源となる。

【0114】また、ファイナルパッシベーション膜37を堆積する工程の途中で水素アニールを行い、前記負荷用MISFETQ<sub>p1</sub>、Q<sub>p2</sub>を構成する多結晶シリコン膜に水素を供給する。まず、酸化シリコン膜を360～440nm程度堆積した後、水素を含む窒素雰囲気中、400℃程度で30分程度水素アニールを行い、続いて、酸化シリコン膜を360～440nm程度堆積する。最後に、酸化シリコン膜の上に窒化シリコン膜を1.2μm程度堆積する。以上の工程により、前記図1に示すSRAMのメモセルMCが完成する。なお、この後、SRAMは所定の工程により、樹脂パッケージに封止される。

【0115】本実施例によれば、下記のような効果を得ることができる。

【0116】(1). 多結晶シリコン膜で形成された負荷用MISFETQ<sub>p1</sub>、Q<sub>p2</sub>の上層に水分が透過し難い窒化シリコン膜28を設けることにより、負荷用MISFETQ<sub>p1</sub>、Q<sub>p2</sub>への水分の浸入を防止することができる。これにより、図19に示すように、窒化シリコン膜28を設けない従来仕様のSRAMに比べて、負荷用MISFETQ<sub>p1</sub>、Q<sub>p2</sub>のしきい値電圧(V<sub>th</sub>)の変動を抑制することができた。

【0117】また、窒化シリコン膜28の膜厚を制御して水素を透過し易くしたことにより、負荷用MISFETQ<sub>p1</sub>、Q<sub>p2</sub>を構成する多結晶シリコン膜のダングリングボンドに十分な水素を供給することができる。これにより、多結晶シリコン膜のダングリングボンドに起因するトラップ準位が水素によりターミネートされ、多結晶シリコン膜の膜質が改善されるため、負荷用MISFETQ<sub>p1</sub>、Q<sub>p2</sub>の相互コンダクタンス(G<sub>m</sub>)を大幅に向上させることができる。

【0118】図20は、負荷用MISFETQ<sub>p1</sub>、Q<sub>p2</sub>の初期特性の工程推移を示している。図中、はBPSG膜32の上に中間導電層33を形成した直後の初期特性、はファイナルパッシベーション膜37を堆積する工程の途中で水素アニール（およびファイナルパッシベーション膜37を構成する酸化シリコン膜を堆積する工程での水素化）を行った直後の初期特性、は完成品の初期特性を示している。このように、完成品では負荷用MISFETQ<sub>p1</sub>、Q<sub>p2</sub>の相互コンダクタンス(G<sub>m</sub>)が大幅に向上した。

【0119】また、図21は、窒化シリコン膜28の膜厚を6nm、15nmにした時の負荷用MISFETQ<sub>p1</sub>、Q<sub>p2</sub>の初期特性を示している。同図から明らかなように、膜厚が6～15nmの窒化シリコン膜28を設けることにより、負荷用MISFETQ<sub>p1</sub>、Q<sub>p2</sub>の相互コンダクタンス(G<sub>m</sub>)が大幅に向上した。なお、図20、図21において、横軸は負荷用MISFETQ<sub>p1</sub>、Q<sub>p2</sub>のゲート電圧(V<sub>g</sub>)を表し、縦軸は負荷

用MISFETQ<sub>p1</sub>、Q<sub>p2</sub>のドレイン電流(I<sub>sd</sub>(A))を表している。

【0120】また、窒化シリコン膜28を形成した後、ファイナルパッシベーション膜37を堆積するまでの工程を利用して水素アニールやプラズマCVD法などの水素化処理を行うことにより、水素化処理のための特別の工程を設けることなく、負荷用MISFETQ<sub>p1</sub>、Q<sub>p2</sub>を構成する多結晶シリコン膜のダングリングボンドに十分な水素を供給することができる。

10 【0121】(2). パッド層23Bの上層の窒化シリコン膜28にコンタクトホール34の径よりも大径の開孔29を設けることにより、このコンタクトホール34内での中間導電層33の断線を確実に防止することができるので、相補性データ線DLの接続信頼性を向上させることができる。

【0122】(3). 窒化シリコン膜28の上にBPSG膜32を堆積した後、アニールを行うことにより、窒化シリコン膜28とBPSG膜32との界面に存在するダングリングボンドを低減することができる。これにより、このダングリングボンドに捕獲される水素の量を低減することができるので、負荷用MISFETQ<sub>p1</sub>、Q<sub>p2</sub>を構成する多結晶シリコン膜のダングリングボンドに十分な水素を供給することができる。

【0123】また、窒化シリコン膜28の上にゲッターリング効果の高いBPSG膜32を堆積することにより、Naなどの金属不純物が窒化シリコン膜28を透過して負荷用MISFETQ<sub>p1</sub>、Q<sub>p2</sub>に侵入するのを防止することができるので、メモセルMCの電気特性の劣化を防止することができる。

30 【0124】(4). 負荷用MISFETQ<sub>p1</sub>、Q<sub>p2</sub>の上層に窒化シリコン膜28を堆積した後、周辺回路領域上の窒化シリコン膜28を除去することにより、周辺回路の加工が容易になる。

【0125】以上、本発明者によってなされた発明を実施例に基づき具体的に説明したが、本発明は前記実施例に限定されるものではなく、その要旨を逸脱しない範囲で種々変更可能であることはいうまでもない。

【0126】前記実施例では、ゲート電極の上層にチャネル領域、ソース領域およびドレイン領域を形成したボトムゲート構造の負荷用MISFETを有するSRAMに適用した場合について説明したが、チャネル領域、ソース領域およびドレイン領域の上層にゲート電極を形成したトップゲート構造の負荷用MISFETを有するSRAMに適用することもできる。

【0127】前記実施例では、負荷用MISFETの上層に堆積した窒化シリコン膜をエッチングして開孔を形成する際、周辺回路領域上の窒化シリコン膜を除去したが、周辺回路領域上の窒化シリコン膜は必ずしも除去する必要はない。

50 【0128】以上の説明では、多結晶シリコン膜で構成

された負荷用MISFETを有するSRAMに適用した場合について説明したが、多結晶シリコン膜で構成された半導体素子を有するデバイス全般に適用することができる。

【0129】

【発明の効果】本願によって開示される発明のうち、代表的なものによって得られる効果を簡単に説明すれば、以下の通りである。

【0130】多結晶シリコン膜で形成された負荷用MISFETの上部に、水素を透過し易く、かつ水分を透過し難い膜厚を有する窒化シリコン膜を設けることにより、負荷用MISFETのしきい値電圧( $V_{th}$ )の変動を防止すると共に、相互コンダクタンス( $G_m$ )を向上させることができる。

【図面の簡単な説明】

【図1】本発明の一実施例である半導体集積回路装置のメモリセルを示す半導体基板の要部断面図である。

【図2】本発明の一実施例である半導体集積回路装置のチップレイアウトを示す概略構成図である。

【図3】図2の一部を拡大して示す概略構成図である。

【図4】本発明の一実施例である半導体集積回路装置のメモリセルの等価回路図である。

【図5】本発明の一実施例である半導体集積回路装置の製造方法を示す半導体基板の要部断面図である。

【図6】本発明の一実施例である半導体集積回路装置の製造方法を示す半導体基板の要部断面図である。

【図7】本発明の一実施例である半導体集積回路装置の製造方法を示す半導体基板の要部断面図である。

【図8】本発明の一実施例である半導体集積回路装置の製造方法を示す半導体基板の要部断面図である。

【図9】本発明の一実施例である半導体集積回路装置の製造方法を示す半導体基板の要部断面図である。

【図10】本発明の一実施例である半導体集積回路装置の製造方法を示す半導体基板の要部断面図である。

【図11】本発明の一実施例である半導体集積回路装置の製造方法を示す半導体基板の要部断面図である。

【図12】本発明の一実施例である半導体集積回路装置の製造方法を示す半導体基板の要部断面図である。

【図13】本発明の一実施例である半導体集積回路装置の製造方法を示す半導体基板の要部平面図である。

【図14】本発明の一実施例である半導体集積回路装置の製造方法を示す半導体基板の要部断面図である。

【図15】本発明の一実施例である半導体集積回路装置の製造方法を示す半導体基板の要部断面図である。

【図16】窒化シリコン膜に開孔を設けた場合におけるデータ線接続用コンタクトホール拡大断面図である。

【図17】窒化シリコン膜に開孔を設けない場合におけるデータ線接続用コンタクトホールの拡大断面図である。

【図18】本発明の一実施例である半導体集積回路装置

の製造方法を示す半導体基板の要部断面図である。

【図19】負荷用MISFETのしきい値電圧の変動を示すグラフ図である。

【図20】負荷用MISFETの初期特性の工程推移を示すグラフ図である。

【図21】負荷用MISFETの初期特性を示すグラフ図である。

【符号の説明】

- 1 半導体基板(チップ)
- 2 p<sup>-</sup>型ウェル
- 4 フィールド絶縁膜
- 5 p型チャンネルストップ領域
- 6 ゲート絶縁膜
- 7 ゲート電極
- 8 絶縁膜
- 9 サイドウォールスペーサ
- 10 n型半導体領域
- 11 n<sup>+</sup>型半導体領域
- 12 ゲート絶縁膜
- 13A ゲート電極
- 13B 基準電圧線( $V_{SS}$ )
- 14 コンタクトホール
- 15 絶縁膜
- 16 サイドウォールスペーサ
- 17 n型半導体領域
- 18 n<sup>+</sup>型半導体領域
- 21 絶縁膜
- 22 コンタクトホール
- 23A ゲート電極
- 23B パッド層
- 24 ゲート絶縁膜
- 25 コンタクトホール
- 26N チャンネル領域
- 26P ソース領域
- 26P ドレイン領域
- 26P 電源電圧線( $V_{CC}$ )
- 27 絶縁膜
- 28 窒化シリコン膜
- 29 開孔
- 32 BPSG膜
- 33 中間導電層
- 34 コンタクトホール
- 35 層間絶縁膜
- 36 コンタクトホール
- 37 ファイナルパッシベーション膜
- 38 フォトリジスト膜
- B P ボンディングパッド
- C C コントロール回路
- D L 相補性データ線
- D L<sub>1</sub> 第1データ線

23

24

DL<sub>2</sub> 第2データ線  
 LMB メモリブロック  
 LOAD ロード回路  
 MAY メモリセルアレイ  
 MB メモリブロック  
 MC メモリセル  
 MWL メインワード線  
 Q<sub>d1</sub> 駆動用MISFET  
 Q<sub>d2</sub> 駆動用MISFET  
 Q<sub>p1</sub> 負荷用MISFET  
 Q<sub>p2</sub> 負荷用MISFET  
 Q<sub>t1</sub> 転送用MISFET

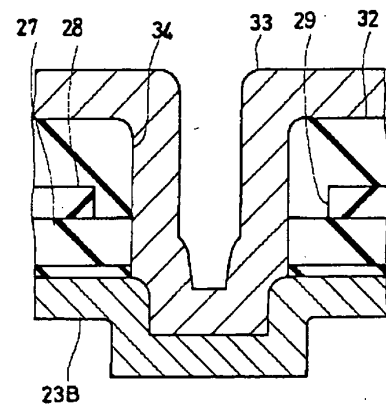
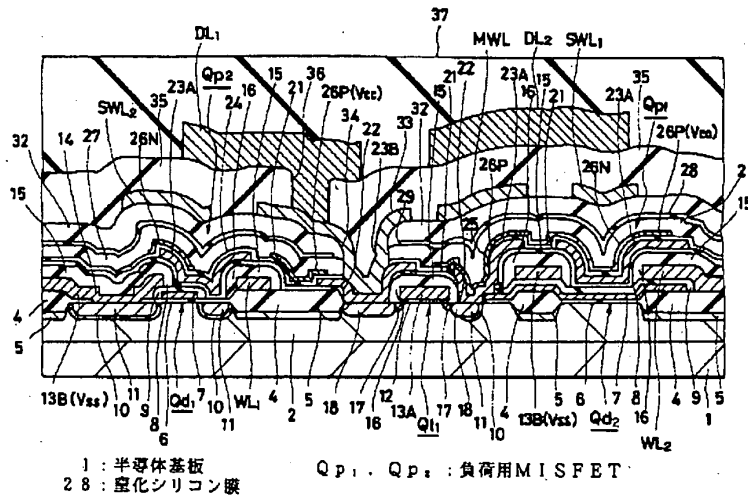
Q<sub>t2</sub> 転送用MISFET  
 SA センスアンプ  
 SWL サブワード線  
 SWL<sub>1</sub> 第1サブワード線  
 SWL<sub>2</sub> 第2サブワード線  
 WDEC ワードデコーダ回路  
 WL ワード線  
 WL<sub>1</sub> 第1ワード線  
 WL<sub>2</sub> 第2ワード線  
 10 XDEC Xデコーダ回路  
 YDEC Yデコーダ回路  
 YSW Yセクタ回路

【図1】

【図16】

図1

図16

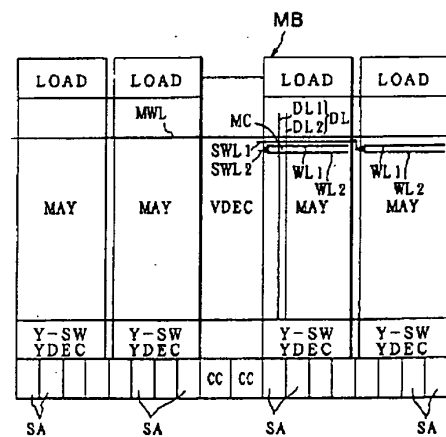
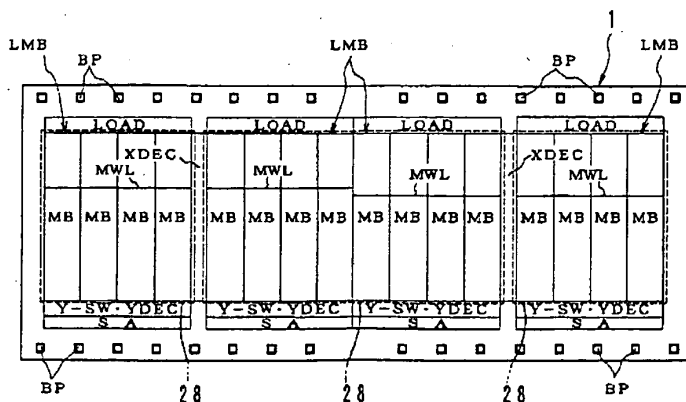


【図2】

【図3】

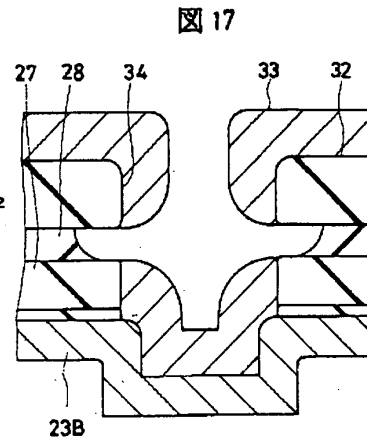
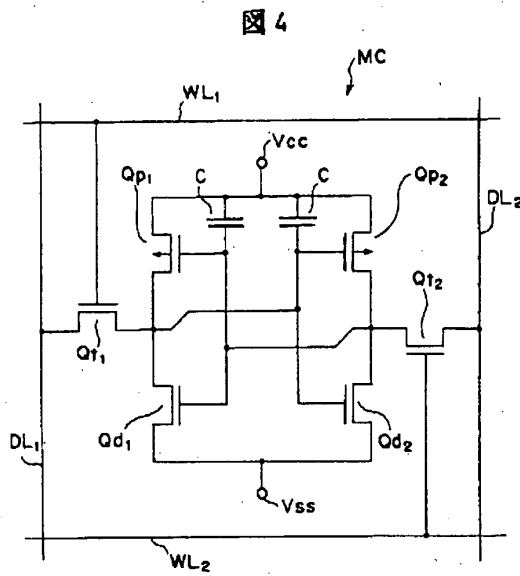
図2

図3



【図4】

【図17】

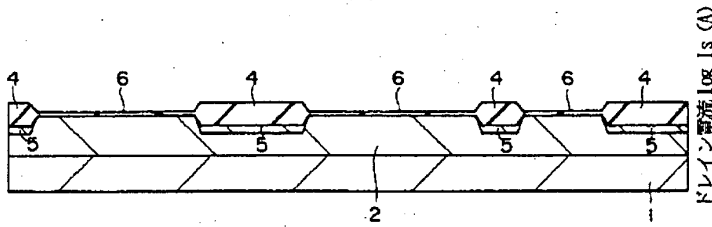


【図20】

図20

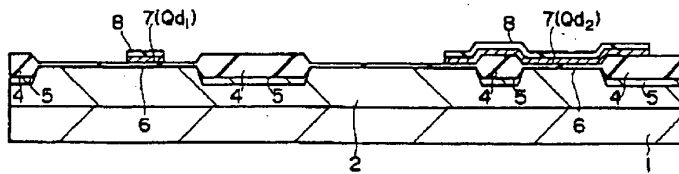
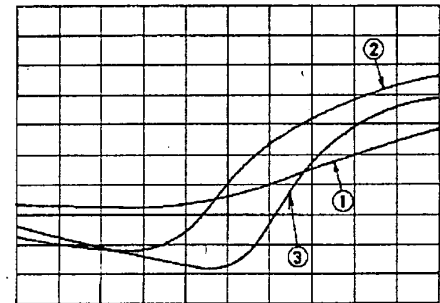
【図5】

図5



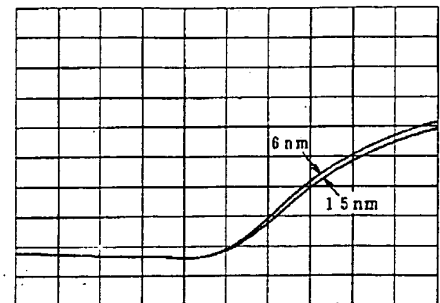
【図6】

図6

ドレイン電流 log I<sub>s</sub> (A)

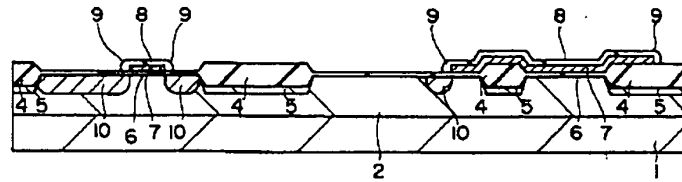
【図21】

図21

ドレイン電流 log I<sub>sd</sub> (A)

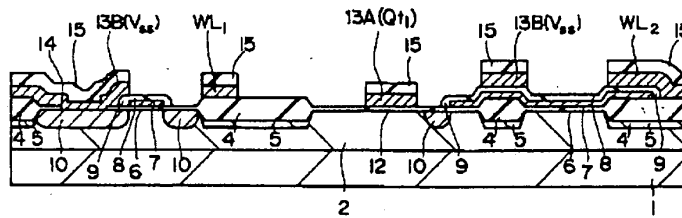
【図7】

図7



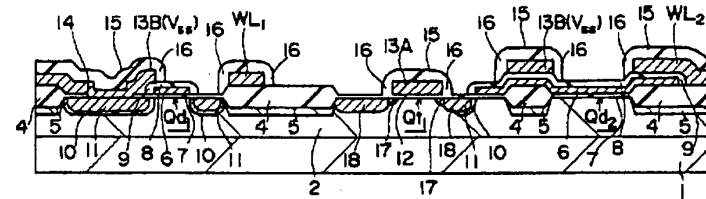
【図8】

図8



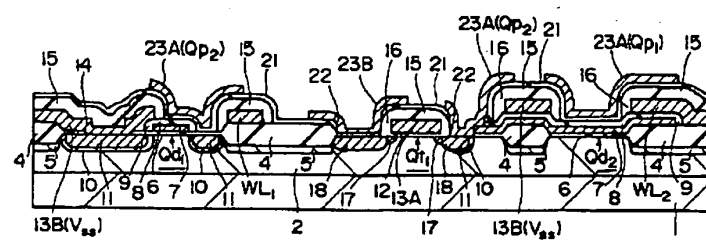
【図9】

図9



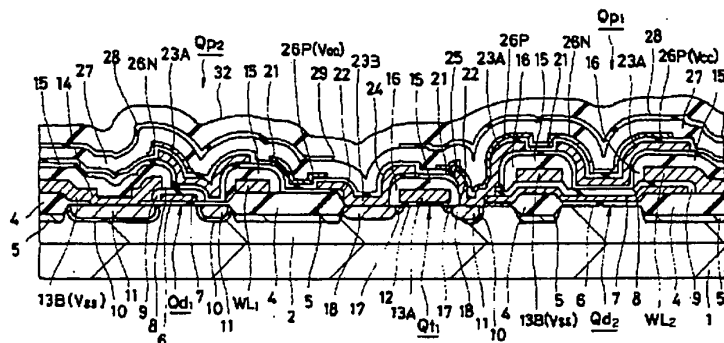
【図10】

図10



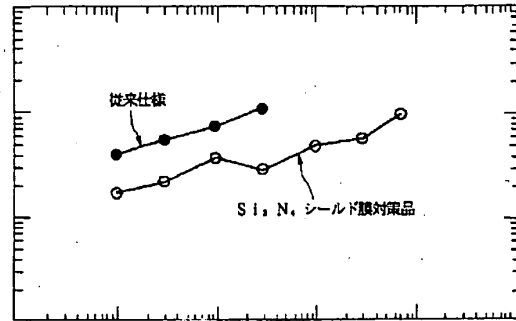
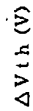


☒ 11



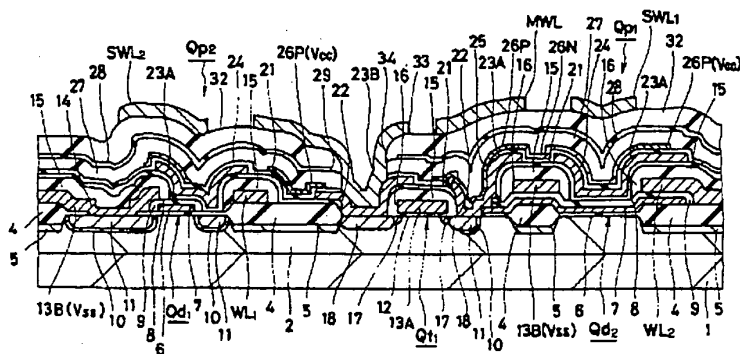
【図 19】

图 19



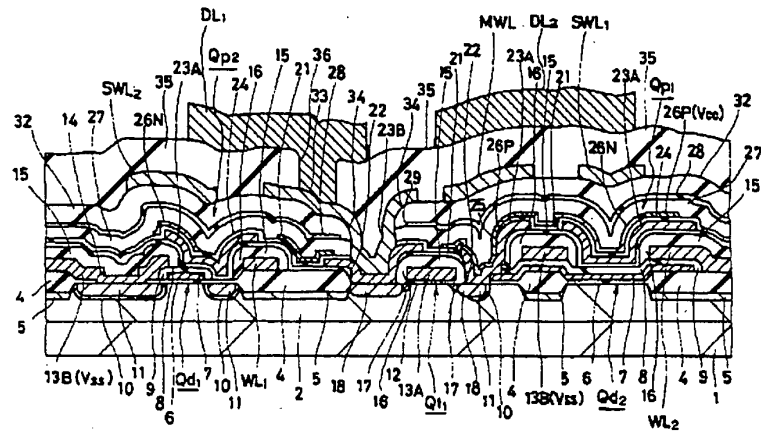
Stress Time (min)

15



【図18】

図18



フロントページの続き

(51) Int. Cl. 5

識別記号

庁内整理番号

F.I

技術表示箇所

H 0 1 L 29/784

9056-4M

H 0 1 L 29/78

3 1 1 N

9056-4M

3 1 1 C

(72) 発明者 金井 史幸

東京都小平市上水本町5丁目20番1号 株  
式会社日立製作所半導体事業部内

(72) 発明者 橋本 孝司

東京都国分寺市東恋ヶ窪1丁目280番地  
株式会社日立製作所中央研究所内

(72) 発明者 橋場 総一郎

東京都小平市上水本町5丁目20番1号 株  
式会社日立製作所半導体事業部内

(72) 発明者 吉崎 和夫

東京都小平市上水本町5丁目20番1号 株  
式会社日立製作所半導体事業部内